

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168275
(P2001-168275A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 01 L 25/065		H 01 L 21/304	6 3 1
25/07		25/08	B
25/18		21/78	Q
21/304	6 3 1		
21/301			

審査請求 未請求 請求項の数19 O.L. (全 7 頁)

(21) 出願番号	特願2000-322417(P2000-322417)
(22) 出願日	平成12年10月23日 (2000.10.23)
(31) 優先権主張番号	09/425706
(32) 優先日	平成11年10月22日 (1999.10.22)
(33) 優先権主張国	米国 (U.S.)

(71) 出願人	596092698 ルーセント テクノロジーズ インコーポレーテッド アメリカ合衆国, 07974-0636 ニュージャージィ, マレイ ヒル, マウンテン アヴェニュー 600
(72) 発明者	イーノン デガニ アメリカ合衆国 08904 ニュージャージィ, ハイランド パーク, クリーヴランド アヴェニュー 10
(74) 代理人	100064447 弁理士 岡部 正夫 (外11名)

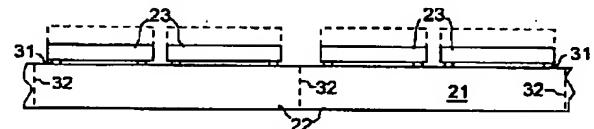
最終頁に続く

(54) 【発明の名称】 小型集積回路パッケージおよびその製造方法

(57) 【要約】

【課題】 ICパッケージを製作する技術において、ICパッケージ全体の高さを低くする方法を提供すること。

【解決手段】 本発明の方法は、チップ形態のICデバイスを薄型化するステップを含む。これは、チップが基板にフリップ・チップ固定され、チップの裏面が薄型化のために露出しているアセンブリの最終段階で達成される。この手法を用いると、最終的な厚さが2~8ミル程度のチップを製作することができ、全体的なパッケージの厚さは大幅に削減される。



1

【特許請求の範囲】

【請求項1】 ICデバイス・パッケージを製造する方法であって、

a. 少なくとも1つの半導体チップを基板にフリップ・チップ実装するステップであって、該半導体チップは、半導体デバイスが設けられる能動的な側と裏面とを有し、該裏面は前記フリップ・チップ実装の後に露出されるステップと、

b. 前記半導体チップの裏面を薄型化するステップと、を含むICデバイス・パッケージを製造する方法。

【請求項2】 前記基板はシリコンである請求項1に記載の方法。

【請求項3】 前記半導体チップはシリコンを含む請求項2に記載の方法。

【請求項4】 前記半導体チップは、前記半導体チップを前記基板にはんだバンプ固着するステップによって実装される請求項1に記載の方法。

【請求項5】 前記基板は、複数のチップ・ボンディング・サイトを含んでおり、更に、少なくとも1つの半導体チップが前記複数のチップ・ボンディング・サイトにフリップ・チップ固着される請求項1に記載の方法。

【請求項6】 能動的または受動的デバイスが、前記基板によって支持されている請求項5に記載の方法。

【請求項7】 前記基板はICデバイスを含む請求項5に記載の方法。

【請求項8】 前記bの薄型化するステップの前に、フィラーを前記基板上に塗布する付加的なステップを含む請求項5に記載の方法。

【請求項9】 ICデバイス・パッケージを製造する方法であって、

a. 基板ウェハ上に複数のチップ・ボンディング・サイトを設けるステップと、

b. 複数の半導体チップを前記チップ・ボンディング・サイトにフリップ・チップ固着するステップであって、前記半導体チップは完成された一体の回路を有するステップと、

c. 前記半導体チップを薄型化するステップと、

d. 複数のタイルを製作するために、前記基板ウェハをダイシングするステップと、を含むICデバイス・パッケージを製造する方法。

【請求項10】 前記半導体はシリコンであることを特徴とする、請求項9に記載の方法。

【請求項11】 ICデバイス・パッケージを製造する方法であって、

a. 完全に加工済みの半導体ウェハを薄型化するステップと、

b. 複数のチップを製作するために、前記完全に加工済みの半導体ウェハをダイシングするステップと、

c. 基板上に複数のチップ・ボンディング・サイトを設けるステップと、

2
d. 前記チップを前記チップ・ボンディング・サイトにフリップ・チップ固着するステップと、

e. 前記チップを薄型化するステップと、

f. 複数のタイルを製作するために、前記基板をダイシングするステップと、を含むICデバイス・パッケージを製造する方法。

【請求項12】 前記チップの前記半導体と前記基板とは共にシリコンである請求項11に記載の方法。

【請求項13】 前記基板を薄型化する付加的なステップを含む請求項12に記載の方法。

【請求項14】 前記eの薄型化するステップの前に、フィラーを前記基板上に塗布する付加的なステップを含む請求項11に記載の方法。

【請求項15】 ICデバイス・パッケージを製造する方法であって、

a. 厚さを少なくとも25%削減するために、完全に加工済みの半導体ウェハを薄型化するステップと、

b. 複数の半導体チップを製作するために、前記完全に加工済みの半導体ウェハをダイシングするステップであって、前記半導体チップは、半導体デバイスが設けられる能動的な側と裏面とを有するステップと、

c. 半導体ウェハ基板上に複数のチップ・ボンディング・サイトを設けるステップであって、前記チップ・ボンディング・サイトはアンダー・バンプ金属被覆を含むステップと、

d. 前記半導体チップの有効な側を、前記チップ・ボンディング・サイトに固着して、前記半導体チップの裏面を露出したままにするために、はんだバンプ・ボンドを使用して、前記半導体チップを前記チップ・ボンディング・サイトにフリップ・チップ固着するステップと、

e. 前記半導体ウェハ基板を、研削するため前記半導体チップの裏面が露出された状態で、研削装置に載置するステップと、

f. 前記半導体チップの厚さを少なくとも25%削減するために、前記半導体チップの裏面を研削するステップと、

g. 複数のタイルを製作するために、前記半導体ウェハ基板をダイシングするステップと、を含むICデバイス・パッケージを製造する方法。

40 【請求項16】 前記半導体チップと前記半導体ウェハ基板は共に、シリコンを含む請求項15に記載の方法。

【請求項17】 前記半導体ウェハ基板を薄型化する付加的なステップを含む請求項15に記載の方法。

【請求項18】 少なくとも2つのシリコン・チップが、各チップ・ボンディング・サイトに固着されている請求項15に記載の方法。

【請求項19】 前記fの研削するステップの前に、フィラーを前記基板上に塗布する付加的なステップを含む請求項15に記載の方法。

50 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高さを低くした集積回路パッケージに関し、特に、パッケージ内の1つまたは複数のIC構成要素の厚さを裏面薄型化によって薄くしたフリップ・チップ・パッケージに関する。

【0002】

【従来の技術】マイクロエレクトロニクス産業は、より高い相互接続密度(interconnect densities)につながる、デバイスの絶え間ない縮小と、デバイス集積のレベルの絶え間ない向上とを一貫して達成することにより繁栄してきた。相互接続の開発および方策の安定した連続は、パッケージング産業において、これらの高い相互接続密度に関する需要を満たすように展開してきた。ほとんど全ての開発および方策が、1つの目標、すなわちサイズの縮小を目指してきた。わずかな例外はあるが、サイズの縮小はコストの低減をも意味する。よって、現状技術のパッケージングにおいては、表面実装がデュアル・イン・ライン・パッケージに取って代わっており、チップ・オン・チップ(COC)やマルチチップ・モジュール(MCM)などの更に新しい開発が、高密度相互接続の需要を満たしている。これらの開発および同様の開発は、パッケージ面積、すなわち、パッケージのx-y寸法を縮小する方向に向けられている。パッケージの厚さの問題には、チップが切断されるウェハを薄くする技術によって対応してきた。薄型化操作は表面を下に向けて加工したウェハを、接着テープなどの一時的担体に載置し、そのウェハの裏面を研削することにより、完全に加工されたウェハ上で行われる。たとえば、研磨砥石車などを使用した単純な機械的研磨から、薬品食刻・研磨技術、ならびに、たとえば薬品研磨(CMP)などのこれら組み合わせに至るまで、様々な研削技術が提案されて使用してきた。典型的なウェハ薄型化工程においては、完成されたICの直径200mmのウェハを、再載置してダイシングする前に、最初の厚さ26~30ミルからわずか12ミルの最終的な厚さまで薄くすることができる。個々のICチップ、すなわちダイは、次にパッケージされるが、これにはMCMまたはCOCタイルへの組立が関係することがある。本明細書中で使用するタイルという語は、少なくとも2つの構成要素、すなわち、基板と、その基板にフリップ・チップ固着された少なくとも1つの能動的なチップとのサブアセンブリを意味する。タイルの基板は、能動的なチップであってもなくてもよい。一般的な装置においては、2つ以上の構成要素、すなわち、基板、およびその基板によって実装された単独の、並置された、またはチップ・オン・チップの何れかの1つまたは複数のチップを含む。やはり、基板は能動的であっても受動的なであってもよい。チップ・オン・チップは、2つの積み重ねられたチップ、または、通常はより大きい1つのチップ上に積み重ねられた2つ以上のチップを含んでもよい。本文中における基板

という語は、能動的または受動的な支持エレメントを意味し、チップという語は通常、完全に加工された、すなわち、完成した半導体ICデバイスを意味する。好適な場合においては、タイルのエレメントの全てが半導体であり、通常はシリコンである。基板はセラミックであってもよい。

【0003】アセンブリの操作においては、切り取られたダイはダイ実装/ボンディング・ツール、ならびに必要に応じて製作される付加的な接続具を介して取り扱われる。破損させることなくこの付加的な工程に耐えるために、ダイの厚さは10ミル以上であることが一般的には適切である。しかし、これ以外の場合には多くのアプリケーションにとって望ましいであろう、8ミル未満のダイの厚さは、薄型化後の取り扱いを受けるため禁止されている。

【0004】

【発明が解決しようとする課題】ダイの厚さの制限は、支持ウェハまたは基板にも適用する。この制限は10ミル以上であるが、業界において標準として一般的に受け

入れられており、20ミル未満のタイルは達成可能ではなかった。この制限によって、いわゆるスマートカード、すなわちチップが埋め込まれたクレジットカードなどの、いくつかの重要なアプリケーションにおいて、積み重ねられたチップまたはタイルの使用は妨げられている。

【0005】ICパッケージ・タイルの高さを低くする技術は、チップ・パッケージング技術における大きな進歩であろう。

【0006】

【課題を解決するための手段】我々は、厚さを非常に効果的に薄くした、ICパッケージタイルを製作するための製造工程を開発した。この工程における重要な要素は、既に基板ウェハにフリップ・チップ固着されている完成済みのICチップへの薄型化ステップの適用である。実装されていないチップの付加的な取り扱いは必要ないので、チップは、10ミルよりもかなり薄く、たとえば2~8ミルに薄型化することができる。実装されたチップの厚さを薄くすることで、数個のケース内のパッケージの全体的高さを半分低くすることができ、それによって、所与のパッケージ面積および高さについてデバイスの機能性を2倍にすることができます。

【0007】

【発明実施の形態】図1を参照すると、シリコン基板11が、その表面上にデバイス12を備えた状態で示されている。デバイスは、トランジスタなどの能動的な半導体デバイスであっても、抵抗器またはコンデンサであっても、あるいはこれらの混合であってもよい。デバイスが能動的な半導体デバイスを含む場合には、ポリイミドなどの不活性化被覆13がデバイスを覆う。シリコン・チップ15は、図示したように基板11にフリップ・チ

ップ固着されている。シリコン・チップ15は、チップ上のデバイス16およびポリイミド被覆17も有する。シリコン・チップ15は、アンダー・バンブ金属被覆(UBM)18およびはんだバンブ・ボンド19を用いて、基板11に取り付けられている。

【0008】ウェハ製造業者が納入する半導体ウェハの通常の厚さは、25～35ミルである。現状技術のパッケージングにおいては、パッケージのサイズを小さくするために、ウェハを12～20ミルに薄くすることができる。薄くした後に、ウェハは個々のダイにダイシングされて、最終的なアセンブリ用の基板に固着される。したがって、図1を参照すると、基板11とチップ15とを備えた典型的なタイルは、12～20ミルの2倍の結合されたz次元(高さ)を有し、更に、通常は2～5ミルである支え(standoff)を有する。よって、ここで記載した技術においては、全体的なタイルの高さは、26～45ミルの範囲にあるであろう。

【0009】図1に示したようなデバイスは、切断したチップをシリコン基板ウェハにバンブ・ボンディングすることにより製造する。典型的なウェハは、図2に示した。シリコン・ウェハ21は、多数のチップ・ボンディング・サイト22を有し、サイトのそれぞれは、ダイシングの後に、図1における11などの基板になる。シリコン・チップ23は、基板ウェハ上でチップ・ボンディング・サイトにフリップ・チップ固着する。図2は、各サイトに取り付けられた2つのチップを示している。この数は更に増やしてもよく、あるいは、図1におけるように、サイト毎に単一のチップを使用してもよい。場合によっては、サイトのいくつかには欠陥があるので、空けたままにしておくこともある。前述のように、基板ウェハは、裸のシリコン・ウェハであってもよく、図1に示したように、受動的または能動的なデバイスを含んでもよい。

【0010】図2のウェハの立面図を図3に示す。ウェハ21の切り取り部分は、2つのチップ・ボンディング・サイト22で示す。チップは23で示し、これらははんだバンブ31を使用して基板にバンブ固着されている。ダイシング・ソー線(dicing saw street)は32で示した。チップ23は元のウェハの厚さを有していてもよい。代替的に、チップの厚さを12～20ミルまで薄くするために、チップはウェハの高さで薄型化、すなわち、完全に加工済みのウェハを薄くすることにより薄型化してもよい。基板ウェハは、加工のこの段階でそれに相当する厚さに既に薄型化されていてもよい。チップ載置およびはんだリフロー操作の後ではあるがウェハをダイシングする前に、チップの裏面が露出されているウェハの正面側を薄型化する。このステップは図4に示すが、この図ではチップの高さを大きく削って示してある。本発明の手法を使用すると、チップは10ミル未満、たとえば2～8ミルに薄型化することができます。こ

れにより全体的なパッケージの高さは、説明している例においては、4～18ミル低くなる。つまり、先行技術では最適とされる薄いパッケージから10～40%削減される。

【0011】薄型化操作以前に保護フィラーを使用することが望ましく、場合によっては好適なことがある。これは、研磨およびダイシングの破片に対して保護すると共に、機械的薄型化およびダイシング操作の間にアセンブリに物理的強度を与えるという、適切なフィラー材料の二重の機能によるものである。適切なフィラー材料は、1996年5月14日にDegani et al.に発行された米国特許第5,516,728号において説明され、請求されている。この特許は、これらの教示を参考することにより本明細書に含める。一般的に、フィラー材料は、メタノール、エタノール、またはプロパンノールなどの、極性有機溶剤によって溶剤除去できる基本的に水溶性の材料である。好適なフィラー材料はロジンであるか、ロジンを含んでいる。ロジン材料は通常、無水安息香酸、2-ヘキサデカノン、および2,2'-ビフェノールなどの、1つまたは複数の樹脂酸またはderivatived樹脂酸を含む。ロジン材料は、ウェハ上の被覆として塗布されて、たとえば120°Cの温度で溶かして空隙を埋めてよい。

【0012】図5および図6は、本発明の利益を得るために使用することができる、代替的タイル配置の略図である。図5は、単層のチップがウェハにフリップ・チップ固着されている実施形態を示している。ウェハ51は受動的、すなわち裸のデバイスであってもよく、能動的な半導体デバイスおよび/または、抵抗器、コンデンサーなどのデバイスを含んでもよい。基板51は裸のセラミックであってもよく、抵抗器、コンデンサーなどを備えたセラミックであってもよい。チップ52で表した単層のチップは、はんだバンブ53を使用して基板51に直接フリップ・チップ実装する。

【0013】図6を参照すると、本発明によって2度薄型化されて、それによって全体的なタイルの厚さを大幅に削減することが可能になったタイルが図示されている。基板61はICチップ62を支持しており、上記の技術によって薄くされている。チップを薄くした後に、ウェハのチップ側をテープ上に置いてアセンブリを担体テープに再載置し、基板61の裏面を薄くする。基板ウェハの能動的な側を、最終的なウェハの厚さとほぼ等しい深さにまで刻むか切ることにより、基板ウェハを部分的に切断する付加的なステップが望ましいことがある。このようにして、同じ操作でタイルを薄くして切断することができる。よって、この超薄タイルは、図2および図3に示した工程の2回の繰り返しを用いて製作する。このパッケージは、本発明の工程を用いて、高さ20ミル未満で、場合によっては10ミル未満でも製作することができる。構成要素を、それらの間に2ミルの支えを

置いて、2ミルまで薄くすると、全体的なタイルの厚さは6ミルになる。かかる小型のタイルは、クレジットカードに組み込んだり、細い形状を要求する他のアプリケーションに適している。

【0014】本発明の薄型化ステップは、機械的研磨またはレーザ切削などの、いくつかの既知の技術の何れかによって行ってもよい。シリコン・ウェハ薄型化用の装置は、広範に使用されていて、市販されている。たとえば、ウェハを実装するための適當なラミネータ／デラミネータは、ニットウデンソウから入手可能なNELシステムである。オカモトから入手可能なグラインダ・モデルGNX-200 Grind-Xは、本明細書中で説明した薄型化操作に使用できる。

【0015】本発明の利点は、全く薄型化なしに、能動的なチップのウェハを完全に加工できることであると分かるであろう。これによって、ウェハは操作中に強い状態に保持され、破損の可能性が少なくなる。代替的に、チップ実装前のウェハの段階での薄型化と、実装されたチップの最終薄型化の、2つの薄型化ステップを用いてもよい。最初の薄型化ステップにおいては、ウェハは25～35ミルの製作厚から、たとえば25～67%薄くする。これによって、ウェハおよびウェハから切断したチップは、操作に適した厚さになる。ウェハはチップに切断し、チップはウェハ基板上にフリップ・チップ実装する。次に、チップの厚さを更に少なくとも25%削減する第2の薄型化ステップを行う。

【0016】図面に示したはんだバンプの配置は、チップの周囲またはエッジのボンディング・サイトの配列を有する。本発明には他の配置も同等に適合される。たとえば、現状技術のチップは一般的に、エッジから取り除かれたチップの領域、たとえば、何れかのエッジ相互接続サイトの内側に少なくとも1ピッチの領域に相互接続サイトを有するものと定義される、領域配列を使用して相互接続される。本発明は、フリップ・チップ固着できるあらゆる構成のチップに適用可能である。

【0017】本発明のアセンブリにおけるチップは、基本的薄型化操作の加工の第1段階で、チップの裏面が現れるように、フリップ・チップ実装された完全に加工済みのチップである。フリップ・チップ実装の本質は、完全に加工済みの半導体の取り付けである。

【0018】IC基板は、相互接続基板、すなわち、シリコン・ウェハまたはセラミック基板上で「上下逆」になっている。取り付け手段は通常、ボール、パッドまたはバンプの形態（本明細書中ではバンプと総称する）のはんだである。はんだバンプは、半導体チップ、または相互接続基板、あるいは両方に適用することができる。固着操作においては、チップは基板に接触させて置き、はんだは、はんだがリフローしてチップを基板に取り付けるように加熱する。固着を成功させるには、はんだを固着するサイトを、はんだによって濡らすことができる

ことが必要である。

【0019】集積回路およびフリップ・チップ基板に通常使用する金属相互接続パターンは、アルミニウムである。アルミニウムに直接はんだ付けする技術は試みられてきたが、アルミニウムははんだ付けする望ましい材料ではないことがよく知られており、認められている。その結果、業界における慣行は、アルミニウム接触パッドにはんだ付け可能な金属被覆を施して、その被覆にはんだバンプまたはパッドを適用することである。金属被覆は通常、アンダー・バンプ金属被覆（UBM）と呼ばれている。

【0020】UBM技術に使用される金属は、アルミニウムによく接着し、通常のスズはんだ調合物で濡らすことができ、高い導電性を有していなければならない。これらの用件を満たす金属被覆は、クロムと銅との合成物である。まずクロムを付着して、アルミニウムに接着させ、銅をクロムの上に塗布して、はんだで濡らすことが可能な表面を作る。クロムは、様々な有機および無機の材料によく接着することで知られている。しかし、はんだ合金は銅を溶解し、クロムから水分を奪う。したがって、クロムの直上の銅の薄層は溶解して、溶融したはんだ内に溶け込んで、はんだはクロム層から水分を奪う。はんだとUBMとの間の接触面の一体性を確実にするために、通常は、クロムと銅との合成物または共付着層を、クロム層と銅の層との間で使用する。

【0021】本明細書中で使用しているように、ボンディング・サイトという語は、ICチップが基板にボールまたはバンプ固着されているサイトを意味することを、出願人は意図している。ボンディング・サイトには、一般的に、アンダー・バンプ金属被覆が提供される。これらのサイトは、基板ウェハおよび基板ウェハに実装されたチップの両方で作製される。

【0022】本明細書中で説明しているICパッケージ・タイルは、通常はいくつかの他のタイルおよび他の構成要素と共に、プリント配線板上で組み立てる。プリント配線板という語は、たとえばFR4などの標準的エポキシ樹脂板、ボール・グリッド・アレイ相互接続基板、および他のあらゆる適切な相互接続基板を意味する。タイルは、プリント配線板に、あるいは中間シリコン相互接続基板に、はんだバンプ固着またはボール固着あるいはワイヤ固着することができる。

【0023】チップの材料、および本発明による基板用の好適な材料は半導体である。最も典型的には、シリコンであろう。シリコン・チップを支持するためにシリコン基板を使用する利点は、基板とチップとの熱機械的特性が調和することである。もう1つの利点は、基板上にランナーの細密なパターンを形成するための金属被覆技術がよく知られており、ICチップ自体を製作する際に使用されることである。しかし、本発明は、他の半導体材料、特に、光波デバイスに使用されるGaNおよび

InPなどのIII-V半導体材料にも適用可能である。

【0024】本発明の様々な付加的変更を、当業者は想起するであろう。当該技術が進歩するのに経てきた原理やそれらの均等物に基本的に依拠している、本明細書の特定の教示からの全ての逸脱は、説明して請求した本発明の範囲内に入るものとみなすのが妥当である。

【図面の簡単な説明】

【図1】典型的なICパッケージ・タイルの略図である。

【図2】本発明による、チップ薄型化操作のために実装した3エレメント・タイルを示したウェハ・レイアウトの図である。

【図3】図2のウェハの一部の立面図である。

【図4】チップ薄型化ステップの後の、図3のウェハの一部の図である。

【図5】本発明によって加工できるICパッケージ・タイルの1つの実施形態を示す図である。*

*【図6】本発明によって加工できるICパッケージ・タイルのもう1つの実施形態を示す図である。

【符号の説明】

11 シリコン基板

12、16 デバイス

13 不活性化被覆

15、23 シリコン・チップ

16 デバイス

17 ポリイミド被覆

18 アンダーバンプ金属被覆(UBM)

19 バンブ・ボンド

21 シリコン・ウェハ

22 チップ・ボンディング・サイト

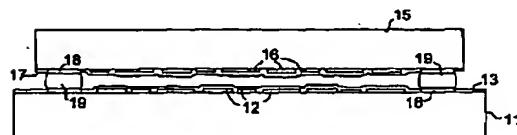
31、53 はんだバンブ

32 ダイシング・ソー線

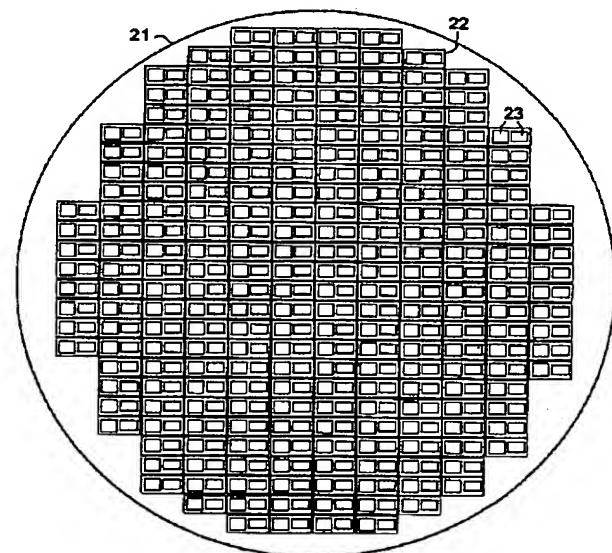
51、61 基板

52、62 チップ

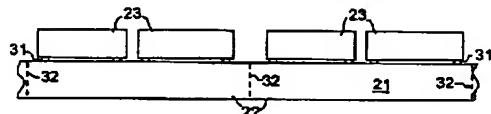
【図1】



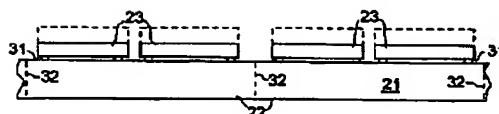
【図2】



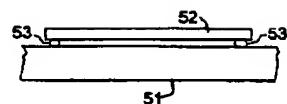
【図3】



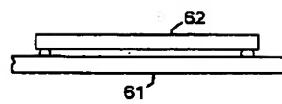
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 トーマス テー. ダッデラー
アメリカ合衆国 07928 ニュージャーシ
ィ, カザム, スクール アヴェニュー 30

(72)発明者 キング エル. タイ
アメリカ合衆国 07922 ニュージャーシ
ィ, パークレイ ハイツ, ハイランド サ
ークル 95